

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 62104172
PUBLICATION DATE : 14-05-87

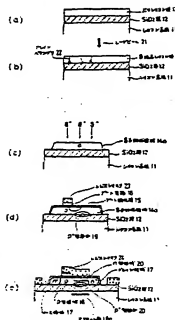
APPLICATION DATE : 31-10-85
APPLICATION NUMBER : 60244417

APPLICANT : FUJITSU LTD;

INVENTOR : IZAWA TETSUO;

INT.CL. : H01L 29/78 H01L 27/12

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent the formation of a back channel without decreasing the mobility of a channel, in an offset SOI/MOS FET, by implanting ions only in the vicinity of the bottom surface of an offset part.

CONSTITUTION: On a silicon substrate 11, an SiO_2 film 12, which is to become a SOI insulator, is formed. A polysilicon film 13, which is to become SOI silicon, is grown thereon (a). The film 13 is recrystallized by the projection of a laser beam 21, and a single crystal silicon film 14 is formed (b). Boron is implanted in a patterned element forming regions 14a, and a p-type is obtained (c). A gate oxide film 15 is formed on the surface, polysilicon is deposited on the entire surface, a resist mask 23 is patterned and a gate electrode 16 is formed. Then, boron is implanted, and a part 19 at the bottom surface is made to a p-type for preventing a back channel. Then, ions are implanted in order to form an offset part 18a, and a region 20 in the vicinity of the surface of the region 14a is made to be an n-type (d). The resist mask 23 is removed, and a new resist mask 24 is formed. Phosphorus ions are implanted, and source and drain regions 17 are formed (e).

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-104172

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月14日

H 01 L 29/78
27/12

8422-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-244417

⑰ 出 願 昭60(1985)10月31日

⑱ 発 明 者 伊 澤 哲 夫 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 柝 貞 一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

シリコン・オン・インシュレータ MOS 電界効果トランジスタ(FET)の製造において、

絶縁物(12)上の多結晶もしくは非晶質シリコン(13)を再結晶化したシリコン膜(14)に素子形成領域(14a)を形成し、一導電型不純物を拡散した同領域(14a)上にゲート酸化膜(15)を介してゲート電極(16)を形成する工程、

素子形成領域(14a)の底面の部分(19)を高不純物濃度の一導電型にする不純物拡散をなし、引続き同領域(14a)の表面を反対導電型にする不純物拡散をなしオフセット部(18a)を形成する工程。および

ソース領域、ドレイン領域を形成する反対導電型不純物を高濃度に拡散する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

オフセット SOI/MOS FET において、オフセット部の底面付近にのみイオン注入を行い、チャネルのモビリティを減少せずにバックチャネル形成を防止する方法である。

(産業上の利用分野)

本発明は半導体装置の製造方法に関するもので、さらに詳しく言えば、ゲート下のチャネルのモビリティを減少せずにバックチャネルが形成されることの防止されたシリコン・オン・インシュレータ(SOI)MOS FETを製造する方法に関するものである。

(従来の技術)

第3図の断面図に示される SOI/MOS FET は知られた構造であり、同図において、31はシリコン基板、32は二酸化シリコン(SiO₂)膜、33は再結晶化されたシリコン層、34はn⁺型領域(ソース、ドレイン領域)、35はp⁺型領域、36はゲート

酸化膜、37はゲート電極(G)、SとDはソース、ドレイン電極を示す。

上記した構造は公知のSOI技術で作られるもので、シリコン基板31の表面を酸化してその上に多結晶もしくは非晶性シリコン(例えばポリシリコン)層を成長し、それをエネルギービーム(例えばレーザビーム)で溶融し再結晶化シリコン層33とし、シリコン層33にそれぞれn型とp型の不純物を拡散してソース、ドレイン領域34とp型領域35を形成する。

(発明が解決しようとする問題点)

第3図に示した再結晶化SOI/MOS FETにおいては、トランジスタの底面に図に×印で示す反転層すなわちバックチャネルが生じやすく、これがSOI/MOS FETのリーク電流の原因の一つとなっていた。より詳しく説明すると、SiO₂膜32とp型領域35の界面の電気的性質が不安定であり、界面準位が変化した、電界が発生してソース領域とドレイン領域とがつながり、ゲートがOFFになって

いるときでもソース領域とドレイン領域との間に電流が流れ、カットオフ特性の良好なSOI/MOS FETが得られない問題がある。

上記した問題を解決べく、反転層が形成されるSOI底面付近をエンハンス側(図示の例では十分なp型)にドーピングすることが提案されたが、反転を防止するに十分な 10^{17} cm^{-3} 以上のオーダーの不純物注入を行うと、ゲート電極37の下チャネル領域の結晶を破壊し、モビリティが減少したり、しきい値電圧(V_{th})制御が困難になるなどの問題が発生した。

本発明はこのような点に鑑みて創作されたもので、ゲート電極の下チャネルのモビリティを減少させることなくバックチャネル発生が防止された高耐圧SOI/MOS FETを製造する方法を提供することを目的とする。

(問題点を解決するための手段)

第1図は本発明実施例の断面図、第2図(a)ないし(b)は本発明方法の工程の断面図で、これらの図

において、11はシリコン基板、12はSiO₂膜、13はポリシリコン膜、14は再結晶化シリコン膜、15はゲート酸化膜、16はゲート電極、17はn⁺型のソース、ドレイン領域、18はオフセット部18aが形成されたp型領域、19はオフセット部の上のn型領域である。

本発明においては、従来の底面付近のドーピングをSOI全体にわたって行うのではなく、オフセット部18aを設け、このオフセット部18aの底面部分19にのみ不純物イオン注入を行うものである。

(作用)

上記した方法によると、オフセット部18aの底面はp⁺型にドーパされているので反転が防止されるし、ゲート電極16の下には反転防止のためのイオン注入がなされていないので結晶の破壊がなくモビリティが減少しない。仮にゲート電極下の底面付近が反転しても、ドレイン側とは短絡していないのでバックチャネルとはならない。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

nチャネルMOS FETを作る場合を例に本発明の方法について説明する。

第2図(a)参照

シリコン基板11の表面を通常の技術で酸化してSOIの地層物となるSiO₂膜12を形成し、SiO₂膜12の上に化学気相成長法(CVD法)でSOIのシリコンとなる多結晶もしくは非晶質シリコン例えば多結晶シリコン(ポリシリコン)膜13を0.5 μm の厚さに成長する。

第2図(b)参照

レーザビーム21を照射してポリシリコン膜13を再結晶化し、結晶性の良好なシリコン膜14を作る。シリコン膜14にはドレインバウングリ(粒界)22が若干発生するが、それはシリコン膜14にデバイス形成する支障とはならない。

第2図(c)参照

シリコン膜14を公知のホットエッチング技術でp

ターニングし素子形成領域14aを作る。V_{DD} 側面周のボロンイオン(B⁺)のイオン注入を行って、素子形成領域14aをp型にする。

第2図(c)参照：

素子形成領域14aの表面を酸化してゲート酸化膜15を形成し、全面にポリシリコンを被着し、それをレジストマスク23を用いてパターンニングしてゲート電極16を作り、レジストマスク23はそのままで残しておく。

次いで、ボロンイオン(B⁺)を 1×10^{11} cm⁻²のドーズ量、180 KeVの加速エネルギーでイオン注入してバックチャネル防止用に底面の符号19で示す部分をp⁺型にする。このとき、ゲート電極16の下方部分のp型領域18はそのままである、すなわち前記したイオン注入の影響を受けない状態である。

続いて、レジストマスク23はそのままで、オフセット部18aを作るためりんイオン(p⁺)を 1×10^{11} cm⁻²のドーズ量、90KeVの加速エネルギーでイオン注入して素子形成領域14aの裏

面付近領域20をn型にする。

第2図(d)参照：

レジストマスク23を除去し、新たに塗布したレジストをソース、ドレイン領域形成のためにパターンニングしてレジストマスク24を作り、りんイオン(p⁺)を 5×10^{11} cm⁻²のドーズ量、120 KeVの加速エネルギーでイオン注入してソース、ドレイン領域14を作る。

最後に、レジストマスク24を除去し、通常の技術でソース、ドレイン電極S、Dを形成して第1図に示すデバイス在完成する。

本発明者は、第1図のデバイス(チャネル長L=3μm、チャネル幅W=60μm)を従来のものと比較して下記のデータを得た。

B⁺のイオン注入
(1×10^{11} cm⁻²、180 KeV)

有 無

ゲート下イオン注入

有 無

リーク電流	約1 nA	約1 nA以下	約1 μA
モビリティ	約300	約600	約600

(cm²/V・Sec)

ただし、リーク電流はソース、ドレイン間のリーク電流を、また上記モビリティはゲート下モビリティをそれぞれ示す。

本発明においては、B⁺のイオン注入があり、ゲート下イオン注入のない場合で、リーク電流の減少は著しい効果があり、しかもモビリティは従来のゲート下イオン注入有の場合の2倍、すなわちB⁺のイオン注入をなさない従来の場合とほぼ同じ値が得られた。

(発明の効果)

以上述べてきたように、本発明によれば、ゲ-

ト下チャネルのモビリティを減少させることなくバックチャネルの形成が防止された高耐圧 50V/HOS FET が得られる効果がある。なお、上記の例はnチャネルHOS FETの製造を例に説明したが、本発明の適用範囲はその場合に限定されるものではない。

4. 図面の簡単な説明

第1図は本発明実施例の断面図、

第2図(a)ないし(d)は第1図の装置を製造する工程を示す本発明工程断面図、

第3図は従来の断面図である。

第1図と第2図において、

11はシリコン基板、

12は 510Å 膜、

13はポリシリコン膜、

14は再結晶化シリコン膜、

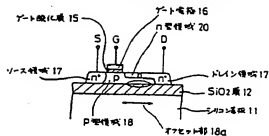
14aは素子形成領域、

15はゲート酸化膜、

16はゲート電極、

特開昭62-104172 (4)

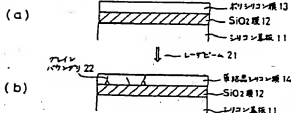
- 17はソース、ドレイン領域、
18はp型領域、
18aはオフセット部、
19は底面のp⁺型部分、
20はn型領域、
21はレーザビーム、
22はグレインパウンダリ、
23と24はレジストマスクである。



本発明実施例の断面図

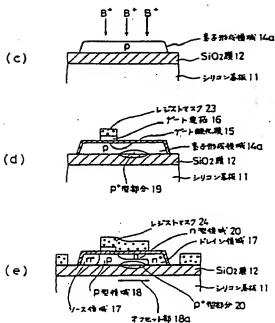
第 1 図

代理人 弁理士 井 根 貞



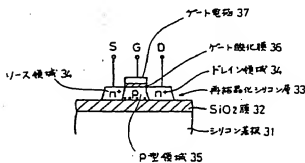
本発明工程断面図

第 2 図



本発明工程断面図

第 2 図



従来の断面図

第 3 図